

## LIQUID CRYSTAL DISPLAY DEVICE

**Publication number:** JP3051887

**Publication date:** 1991-03-06

**Inventor:** SHINYA MASAKO

**Applicant:** TOKYO SHIBAURA ELECTRIC CO

**Classification:**

- international: **G02F1/133; G09G3/36; G09G3/36; G02F1/13; G09G3/36; G09G3/36; (IPC1-7): G02F1/133; G09G3/36**

- European:

**Application number:** JP19890188299 19890720

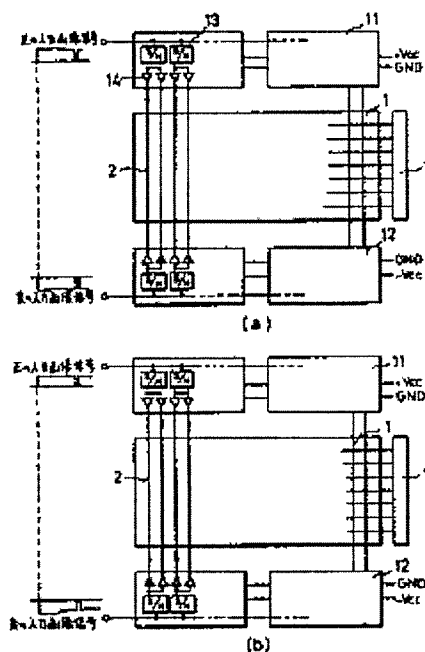
**Priority number(s):** JP19890188299 19890720

Report a data error here

### Abstract of JP3051887

**PURPOSE:** To relieve pressure-resistance characteristics of a driving circuit, to reduce the power consumption, to improve the signal processing speed and to decrease a display irregularity by alternately driving corresponding data lines by a 1st driving circuit which generates a positive driving voltage and a 2nd driving circuit which generates a negative driving voltage at a specific period.

**CONSTITUTION:** The 1st driving circuit 11 which is connected to the respective data lines 2 in common and generates the positive driving voltage and the 2nd driving circuit 12 which generates the negative driving voltage are provided as a data line driving circuit 6 which drives the data lines 2 of a liquid crystal display panel 1 at the same time according to an image signal of one horizontal scanning line. Then the 1st and 2nd driving circuits 11 and 12 drive the corresponding data lines 2 alternately at a specific period. Therefore, the 1st and 2nd driving circuits 11 and 12 only drive the corresponding data lines 2 alternately at the specific period and the output amplitude and the amplitude of the handled image signal are reduced to half. Consequently, the dielectric strength characteristics of the driving circuits are relieved, the reduction of the power consumption and the improvement of the signal processing speed are realized, and the display irregularity is reduced.



Data supplied from the esp@cenet database - Worldwide

## ⑫ 公開特許公報(A) 平3-51887

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月6日

G 09 G 3/36  
G 02 F 1/133

5 2 5

8621-5C  
7709-2H

審査請求 未請求 請求項の数 3 (全11頁)

⑭ 発明の名称 液晶ディスプレイ装置

⑮ 特 願 平1-188299

⑯ 出 願 平1(1989)7月20日

⑰ 発 明 者 新 屋 匡 子 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

## 明 細 書

## 1. 発明の名称

液晶ディスプレイ装置

## 2. 特許請求の範囲

(1) 垂直走査方向の複数のデータライン及び水平走査方向の複数のアドレスラインとの交差部にそれぞれ液晶セルを接続した液晶表示パネルと、

前記複数のデータラインを1水平走査ライン分の画像信号に基づいて同時に駆動するデータライン駆動回路と、

前記複数のアドレスラインを順次駆動するアドレスライン駆動回路とを有する液晶ディスプレイ装置において、

前記データライン駆動回路は、各データラインに共通に接続された正の駆動電圧を発生する第1の駆動回路及び負の駆動電圧を発生する第2の駆動回路により構成され、第1及び第2の駆動回路は対応するデータラインを所定周期で交互に駆動することを特徴とする液晶ディス

プレイ装置。

(2) 垂直走査方向の複数のデータライン及び水平走査方向の複数のアドレスラインとの交差部にそれぞれ液晶セルを接続した表示パネルと、

前記複数のデータラインを1水平走査ライン分の画像信号に基づいて同時に駆動するデータライン駆動回路と、

前記複数のアドレスラインを順次駆動するアドレスライン駆動回路とを有するディスプレイ装置において、

前記データライン駆動回路は、各データラインに共通に接続された正の駆動電圧を発生する第1の駆動回路及び負の駆動電圧を発生する第2の駆動回路により構成され、第1及び第2の駆動回路は対応するデータラインを所定周期で交互に駆動するとともに、第1及び第2の駆動回路の各々は隣り合う二本のデータラインを交互に駆動することを特徴とする液晶ディスプレイ装置。

(3) 前記第1及び第2の駆動回路が前記デー

タラインを駆動する前に、駆動すべきデータラインに溜まっている信号電荷をディスチャージする手段を更に具備することを特徴とする請求項1または2記載の液晶ディスプレイ装置。

### 3. 発明の詳細な説明

#### 〔発明の目的〕

#### （産業上の利用分野）

この発明は、マトリックス型表示パネルを用いた液晶ディスプレイ装置に係り、特に表示パネルのデータラインを交流駆動方式で駆動するための駆動回路に関する。

#### （従来の技術）

液晶セルを表示素子とするマトリックス型表示パネルを用いたディスプレイ装置、特にアクティブマトリックス型液晶ディスプレイ装置は、一般的に第11図のように構成される。

第11図において、マトリックス型液晶表示パネル1は垂直走査方向（Y方向）に延びた複数のデータライン2と、水平走査方向（X方向）に延びた複数のアドレスライン3との交差部に、

スイッチ素子4を介して液晶セル5を接続したものである。液晶セル5は実際には駆動電圧を保持するキャパシタと、このキャパシタに保持された駆動電圧が印加される画素対応の表示電極と、これに対向する透明共通電極と、これら表示電極と透明共通電極の層の間に挟まれた液晶層により構成される。

データライン駆動回路（以下、X駆動回路という）6はデータライン2を画像信号に応じて駆動する回路であり、またアドレスライン駆動回路（以下、Y駆動回路という）7はアドレスライン3を走査信号に応じて駆動する回路である。すなわち、X駆動回路6は第12図(a)(b)に示す画像信号の1ライン（水平走査ライン）分を受けて複数のデータライン2を同時に駆動し、Y駆動回路7はデータライン2が1回駆動される毎にアドレスライン3を1本ずつずらせて駆動する。これにより表示パネル1は1ライン単位に、いわゆる線順次方式で駆動される。

液晶ディスプレイ装置においては、液晶セル

に一定極性の駆動電圧を印加すると、液晶セルが焼き付いてしまうので、第13図に示すように液晶セル5に正負の駆動電圧を交互に印加する、いわゆる交流駆動を行なう必要がある。その場合、X駆動回路6は正負の駆動電圧を交互に発生しなければならないので、扱う画像信号の振幅及び出力振幅は一定極性の駆動電圧が発生する場合に比較して、p-p値で2倍になってしまう。

従ってX駆動回路に高耐圧特性が要求され、X駆動回路の消費電力が増大する。また、X駆動回路の扱う画像信号振幅が増大すると、高耐圧プロセスを選ばなければならない、この処理は信号処理速度が遅いので、高品位画像信号を扱う場合などに不利となる。さらに、扱う画像信号の振幅が大きいと、駆動回路の特性のばらつきの影響が大きくなり、画面上の表示むらが生じる。

液晶セルの交流駆動を行なう方法の一つとして、信号線反転法が知られている。一般的に、

液晶セルの数が多数の場合、配線スペースなどの面から第14図に示すようにX駆動回路6を表示パネル1の上下に分けて配置し、データライン2（信号線）を1本置きに上側のX駆動回路と下側のX駆動回路で駆動する実装形式がとられる。

信号線反転法は、このような実装形式を利用した方法であり、第15図に示すように上側のX駆動回路と下側のX駆動回路とに、互いに逆極性で、且つ1ライン毎または1フィールド毎に正負反転する画像信号を与えて、データライン2の各々に1ライン毎または1フィールド毎に正負反転し、かつ隣接するデータライン間で逆極性の駆動電圧が印加されるようにする方法である。

しかしながら、この信号線反転法によってもX駆動回路の扱う画像信号の振幅及び出力振幅が増大するという問題は避けられない。

#### （発明が解決しようとする課題）

上述したように、従来の液晶ディスプレイ装

置では、液晶セルを交流駆動する場合、X駆動回路の扱う画像信号の振幅及び出力振幅が増大し、X駆動回路に高耐圧特性が要求され、また消費電力の増大、信号処理速度の低下、X駆動回路の特性のばらつきによる表示むらの増大といった種々の問題が生じていた。

本発明は、上述した問題を伴うことなく液晶セルを交流駆動することができる液晶ディスプレイ装置を提供することを目的とする。

#### 〔発明の構成〕

##### （課題を解決するための手段）

本発明は上記の目的を達成するため、液晶表示パネルのデータラインを1水平走査ライン分の画像信号に基づいて同時に駆動するデータライン駆動回路として、各データラインに共通に接続された正の駆動電圧を発生する第1の駆動回路及び負の駆動電圧を発生する第2の駆動回路を設け、これら第1及び第2の駆動回路が対応するデータラインを所定期間で、例えば1ライン毎または1フィールドあるいは1フレーム

毎に、交互に駆動するようにしたものである。

##### （作用）

本発明では個々のデータラインに注目すると、第1の駆動回路から発生される正の駆動電圧と第2の駆動回路から発生される負の駆動電圧によって交互に駆動され、いわゆる交流駆動がなされる。第1及び第2の駆動回路はいずれも単一極性の駆動電圧を発生すればよいから、一つの駆動回路で正負に反転する駆動電圧を発生する場合に比べて、出力振幅及び扱う画像信号の振幅は半分となる。

##### （実施例）

以下、図面を参照して本発明の実施例を説明する。

##### 第1の実施例

第1図は本発明の第1の実施例に係る液晶ディスプレイ装置の概略構成を示すブロック図であり、(a)は第nフレーム時の状態、(b)は第n+1フレーム時の状態をそれぞれ示している。

この液晶ディスプレイ装置は、大きくは第1

1図と同様にマトリックス型液晶表示パネル1と、X駆動回路及びY駆動回路7からなる。X駆動回路は表示パネル1の上下にそれぞれ配置された第1及び第2の駆動回路11、12により構成されている。なお、本実施例では第1及び第2の駆動回路11、12は、集積化する場合の端子数や素子数の制限から、各々2つの集積回路によって構成されているが、もちろん更に多数の集積回路に分割されていてもよい。

第1及び第2の駆動回路11、12は第2図に示すように、それぞれアナログの入力画像信号をサンプリングしホールドするサンプルホールド回路(S/H)13と、サンプルホールド回路13のそれぞれの出力端子に2個ずつ接続された出力バッファ14及びサンプルホールド回路13へのサンプルパルスを発生するタイミング発生回路15からなる。第1及び第2の駆動回路11、12内の出力バッファ14は、それぞれデータライン2の本数と同数設けられ、各データライン2に第1及び第2の駆動回路

11、12内の出力バッファ14が共通に接続されている。出力バッファ14は出力オン・オフ機能を持ち、奇数番目と偶数番目とで別々に出力イネーブル信号OE1、OE2が与えられている。なお、出力バッファ14は例えば演算増幅器を用いた電圧フォロウによって構成される。

第1図に示すように、第1の駆動回路11には正の画像信号が入力されると共に、正の電源電圧+VccとグラウンドレベルGNDが与えられている。第2の駆動回路12には負の画像信号が入力されると共に、負の電源電圧-VccとグラウンドレベルGNDが与えられている。すなわち、第1の駆動回路11は正の駆動電圧を発生し、第2の駆動回路12は負の駆動電圧を発生する。

次に、本実施例の動作を説明する。第3図及び第4図は第nフレーム時及び第n+1フレーム時のタイミング図である。第3図及び第4図ともに、(a)は第1の駆動回路11に入力され

る正の入力画像信号、(b)はこの駆動回路11におけるサンプルホールド回路へのサンプルパルス、(c)は第2の駆動回路12に入力される負の入力画像信号、(d)はこの駆動回路12におけるサンプルホールド回路へのサンプルパルスを示している。また、サンプルパルスの波形の下に書かれている数字は、駆動されるデータライン2の番号を表わしている。

第nフレームでは第3図に示すように、正の画像信号を入力とする第1の駆動回路11が第1, 3, 5, …の奇数番目のデータラインを駆動し、負の画像信号を入力とする第2の駆動回路12が第2, 4, 6, …の偶数番目のデータラインを駆動する。次の第n+1フレームでは第4図に示すように、第1の駆動回路11が偶数番目のデータラインを駆動し、第2の駆動回路12が奇数番目のデータラインを駆動する。第1図のデータライン2のうち、太い線で書かれているラインは正の駆動電圧が印加されているライン、細い線で書かれているラインは負の

駆動電圧が印加されているラインを表わしている。

また、このとき同じデータラインに接続されている第1及び第2の駆動回路11, 12内の出力バッファ14のうち、データラインを駆動している方の駆動回路内の出力バッファは出力イネーブル信号OE1またはOE2によりオン状態となるが、データラインを駆動していない方の駆動回路内の出力バッファはオフ状態に制御されて出力がオープンとなることにより、オン状態にある出力バッファに干渉しないようになっている。すなわち、第1図の出力バッファ14のうち、ハッチングが施されているものはオン状態にあり、ハッチングが施されていないものはオフ状態にある。

本構成によれば、個々のデータライン2に注目すると、第nフレーム時と第n+1フレーム時とで逆極性の駆動電圧が印加され、交流駆動が行なわれることになる。

上述したように第1の駆動回路11は正の画

像信号を入力として正の駆動電圧をのみ発生し、第2の駆動回路12は負の画像信号を入力として負の駆動電圧のみを発生すればよいので、従来の交流駆動方式で用いられていた正負両極性の駆動電圧を発生する駆動回路に比較して、その出力振幅及び扱う画像信号の振幅は半分となる。

従って、X駆動回路の電源電圧+Vcc, -Vccを下げることができ、消費電力が減少すると共に、耐電圧も半分でよい。また、駆動回路の扱う信号電圧が小さくなることにより、処理速度が高速化されるとともに、駆動回路の特性のばらつきの絶対値が小さくなり、画面の表示むらが減少する。

また、上記実施例によれば第2図に示したように隣り合う二本のデータライン2に接続された出力バッファ14を共通のサンプルホールド回路13に接続し、同じサンプルホールド回路の出力で隣り合う二本のデータラインを交互に駆動する構成としたため、出力バッファ14の

数はデータライン2の本数の2倍となるが、より構成素子数の多いサンプルホールド回路13やそのコントロール回路などの数は少なくでき、駆動回路全体としての回路規模の増大が抑えられる。

## 第2の実施例

第5図は本発明の第2の実施例であり、入力画像信号がデジタル信号の場合の例である。第1図と同様に、第5図(a)(b)はそれぞれ第nフレーム時及び第n+1フレーム時の状態を示している。同図において、第1及び第2の駆動回路11, 12はそれぞれ信号分配回路21とD/A変換器(DAC)22及び出力バッファ23により構成されている。出力バッファ23は、それぞれデータライン2の本数と同数設けられ、各データライン2に第1及び第2の駆動回路11, 12内の出力バッファ23が共通に接続されている。出力バッファ14は出力オン・オフ機能を持ち、奇数番目と偶数番目とで別々に出力イネーブル信号OE1, OE2が与え

られている。

第5図においては、第1図と同様にデータライン2のうち、太い線で書かれているラインは正の駆動電圧が印加されているライン、細い線で書かれているラインは負の駆動電圧が印加されているラインをそれぞれ示し、また出力バッファ23のうち、ハッチングが施されているものはオン状態、ハッチングが施されていないものはオフ状態にあるものとする。

信号分配回路21は第6図に示されるように、シリアルに入力される例えば8ビットのデジタル画像信号を1ライン分取り込むシフトレジスタ31と、シフトレジスタ31の出力を保持するラッチ回路群32及びタイミング発生回路33からなる。タイミング発生回路33は、シフトレジスタ31へ供給するシフトクロックとラッチ回路群32へ供給するラッチパルスを生ずる。

第7図及び第8図は第nフレーム時及び第n+1フレーム時のタイミング図であり、第7図、

第8図ともに(a)は第1の駆動回路11に入力される正のデジタル入力画像信号、(b)(c)は駆動回路11におけるシフトレジスタ31へのシフトクロック及びラッチ回路32のラッチデータ、(d)は第2の駆動回路12に入力される負のデジタル入力画像信号、(e)(f)は駆動回路12におけるシフトレジスタ31へのシフトクロック及びラッチ回路32のラッチデータを示している。(b)(c)のシフトクロックはデジタル入力画像信号のデータレートの2倍の周期を持ち、(b)のシフトクロックと(e)のシフトクロックとでは半周期分位相がずれている。

第nフレームでは第7図に示すように、第1の駆動回路11においては正のデジタル入力画像信号 $D_1, D_2, D_3, D_4, \dots$ のうち、奇数番目のデータ $D_1, D_3, \dots$ がラッチ回路32でラッチされ、第2の駆動回路12においては負のデジタル入力画像信号 $\bar{D}_1, \bar{D}_2, \bar{D}_3, \bar{D}_4, \dots$ のうち、偶数番目のデータ $\bar{D}_2, \bar{D}_4, \dots$ がラッチ回路32でラッチされる。ラ

ッチされたデータはD/A変換器22によりアナログ信号に変換され、D/A変換器22の出力は各々2個ずつの出力バッファ23に入力される。

そして、第1の駆動回路11は出力イネーブル信号OE1により奇数番目の出力バッファがオン状態となることによって、奇数番目のデータラインを正の駆動電圧で駆動する。第2の駆動回路12は出力イネーブル信号OE2により偶数番目の出力バッファがオン状態となることによって、偶数番目のデータラインを負の駆動電圧で駆動する。このとき、データラインの駆動に使用されない第1の駆動回路11内の偶数番目の出力バッファ及び第2の駆動回路12内の奇数番目の出力バッファはオフ状態となって出力がオープンとなることにより、同じデータラインに接続されているオン状態にある出力バッファに対して干渉しない。

次のn+1フレームでは第8図に示すように、第1の駆動回路11においては正のデジタル

入力画像信号 $D_1, D_2, D_3, D_4, \dots$ のうち、偶数番目のデータ $D_2, D_4, \dots$ がラッチ回路32でラッチされ、第2の駆動回路12においては負のデジタル入力画像信号 $\bar{D}_1, \bar{D}_2, \bar{D}_3, \bar{D}_4, \dots$ のうち、奇数番目のデータ $\bar{D}_1, \bar{D}_3, \dots$ がラッチ回路32でラッチされる。ラッチされたデータはD/A変換器22を介して各々2個ずつの出力バッファ23に入力される。

第1の駆動回路11は出力イネーブル信号OE2により偶数番目の出力バッファがオン状態となることによって、偶数番目のデータラインを正の駆動電圧で駆動する。第2の駆動回路12は出力イネーブル信号OE1により奇数番目の出力バッファがオン状態となることによって、奇数番目のデータラインを負の駆動電圧で駆動する。このとき、データラインの駆動に使用されない第1の駆動回路11内の奇数番目の出力バッファ及び第2の駆動回路12内の偶数番目の出力バッファはオフ状態となり、同じデ

ータラインに接続されているオン状態にある出力バッファに干渉しない。

### 第3の実施例

第9図は本発明の第3の実施例であり、第1及び第2の駆動回路11はそれぞれ駆動電圧発生回路41と、駆動電圧発生回路41の出力端子にそれぞれ接続された出力バッファ42及び出力バッファ42の出力端子に2個ずつ接続されたスイッチ43により構成されている。駆動電圧発生回路41は第1の実施例におけるサンブルホールド回路13または第2の実施例におけるD/A変換器22に相当する回路である。

第1及び第2の実施例においては、第1及び第2の駆動回路11、12内にそれぞれデータラインの本数と同数の出力バッファ14、23を設けたが、第3の実施例において第1及び第2の駆動回路11、12内の出力バッファ42のそれぞれの個数はデータライン2の本数と同じであり、その代わりに出力バッファ42と、隣り合う2本のデータラインとの間にそれぞれ

スイッチ43を接続している。スイッチ43のオン・オフ制御は第1及び第2の実施例における出力バッファ14、23のオン・オフ制御と同様であり、それによって駆動電圧が印加されるべきデータラインの選択を行なっている。

本実施例によると、第1及び第2の実施例と比較して、スイッチが新たに必要となるが、出力バッファの数が半分で済むので、回路規模がより縮小される。

### 第4の実施例

第10図は本発明の第4の実施例であり、第3の実施例における第9図のスイッチ43に相当するスイッチ44を表示パネル1内に設けたものである。このスイッチ44は第11図に示す液晶セル5を選択するためのスイッチ4より数が少なくてもよいので、アモルファスシリコンを用いた薄膜トランジスタ等でも設計により伝達特性の良いスイッチを用いることができる。

本実施例によると、駆動回路11、12の回路規模をさらに小さくできると共に、駆動回路

11、12及び表示パネル1の出力ピン数を半分になるので、駆動回路11、12と表示パネル1との間の配線数が半減され、表示パネル1上に駆動回路を実装する場合に実装が容易となり、製造コストが減少するという利点が得られる。

なお、本発明においてはデータライン2を正または負の駆動電圧で駆動する（換言すれば、データラインをチャージする）前に、駆動すべきデータライン上に溜まっている、これから印加しようとする駆動電圧と逆極性の信号電荷（前回の駆動時に印加された駆動電圧による充電電荷）をディスチャージする手段を備えることが望ましい。その具体例を以下の第5～第7の実施例により説明する。

### 第5の実施例

ディスチャージ手段として、本実施例では第1及び第2の駆動回路11、12内にディスチャージ機能を持たせ、データライン2をチャージする前に、データライン2をチャージしよう

とする駆動回路自身によってディスチャージを行なうようにする。

具体的には例えば出力バッファが電圧フォロワの場合、データライン2をチャージしようとする駆動回路をオン状態にすると、出力バッファ（14、23、42）を介してデータライン2にデータライン2上の信号電荷と逆極性の駆動電圧が印加されることにより、まず出力バッファの電流源トランジスタを通してディスチャージが行なわれ、やがてデータライン2が零電位となってディスチャージが終了した後、チャージが開始される。

この場合、データライン2に駆動電圧を印加する駆動回路自身がデータライン2上に溜まっている信号電荷を吸収してディスチャージを行なうので、ディスチャージのためのタイミング制御は特に必要でなく、単に駆動回路の出力バッファがディスチャージ前のデータライン2の電位と駆動回路の電源電圧（+V<sub>cc</sub>または-V<sub>cc</sub>）との電位差分以上の耐圧を有していれば良

い。

なお、スイッチ等のディスチャージ手段を出カバッファの後に設けて、データライン2上のディスチャージを行なってもよい。

#### 第6の実施例

本実施例ではディスチャージ手段として第1及び第2の駆動回路11、12内にディスチャージ機能を持たせる点は第5の実施例と同様であるが、本実施例では駆動回路11（または12）から駆動電圧を印加する前に、駆動電圧をその前に印加した駆動回路12（または11）によってディスチャージを行なうようにする。

具体的には例えば駆動回路11が駆動電圧を印加する前に、タイミング回路の制御によって、駆動回路12内の出力バッファ（14、23、42）の出力電位を強制的に一時零電位にすればよい。これは出力バッファが電圧フォロウの場合を例にとると、電圧フォロウの入力に零レベルを与えて出力電位を零にすることによって達成される。この実施例の場合、データライン

2上に溜まっている信号電荷の極性とディスチャージする駆動回路の電源電圧の極性が同じであるため、駆動回路の耐圧は第5の実施例の場合より小さくてよい。

なお、スイッチ等のディスチャージ手段を用いて、データライン2上のディスチャージを行なってもよい。

#### 第7の実施例

ディスチャージ手段として、本実施例では第1及び第2の駆動回路11、12の外部にディスチャージ装置を設け、このディスチャージ装置によってデータラインを一旦零レベルにしてディスチャージを行なう。この場合も、駆動回路の耐圧は第6の実施例と同等でよい。

#### 〔発明の効果〕

本発明によれば、データライン駆動回路として正の駆動電圧を発生する第1の駆動回路と負の駆動電圧を発生する第2の駆動回路を設け、これらの両駆動回路によって各データラインを交互に駆動することで交流駆動を行なうことに

より、一つの駆動回路で交互に正負反転する駆動電圧を発生させる従来の交流駆動方式と比較して、駆動回路の出力振幅及び扱う画像信号の振幅は半分となる。

従って、駆動回路の耐圧特性が緩和され、消費電力も低減されるとともに、信号処理速度を高速化できるので、将来の高品位画像信号のような高速の画像信号を扱う場合に有利となり、しかも駆動回路の特性のばらつきの絶対値が小さくなり、表示むらが減少するという効果が得られる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例を示すブロック図、第2図は第1図における第1及び第2の駆動回路の内部構成を示すブロック図、第3図及び第4図は第1の実施例の動作を説明するためのタイミング図、第5図は本発明の第2の実施例を示すブロック図、第6図は第5図における第1及び第2の駆動回路の内部構成を示すブロック図、第7及び第8図は第2の実施例の動

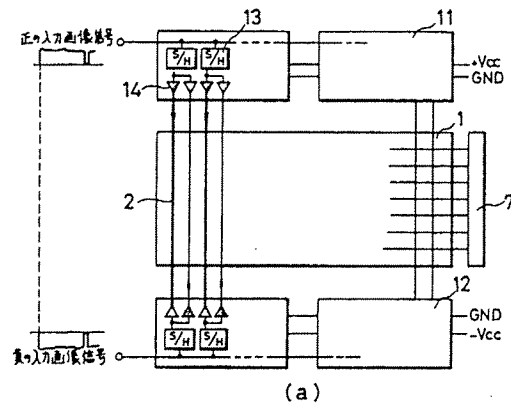
作を説明するためのタイミング図、第9図は本発明の第3の実施例を示すブロック図、第10図は本発明の第4の実施例を示すブロック図、第11図は従来のマトリックス型液晶表示パネルを用いたディスプレイ装置の概略構成を示す図、第12図はその動作を説明するための画像信号の波形図、第13図は液晶セルの交流駆動方式を説明するための図、第14図は液晶セル数が多数の場合の駆動回路の構成例を示すブロック図、第15図は従来の信号線反転法による駆動回路の構成を示すブロック図である。

- 1…マトリックス型液晶表示パネル
- 2…データライン
- 3…アドレスライン
- 6…X駆動回路（データライン駆動回路）
- 7…Y駆動回路（アドレスライン駆動回路）
- 11、12…第1及び第2の駆動回路
- 13…サンプルホールド回路
- 14、23、42…出力バッファ
- 21…信号分配回路

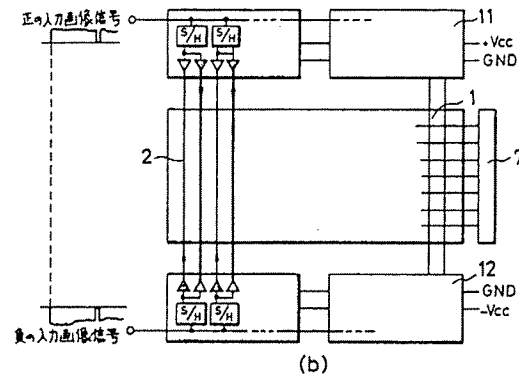


- 2 2 ... D/A変換器
- 3 1 ... シフトレジスタ
- 3 2 ... ラッチ回路
- 4 1 ... 駆動電圧発生回路
- 4 3, 4 4 ... スイッチ

出願人代理人 弁理士 鈴江 武彦

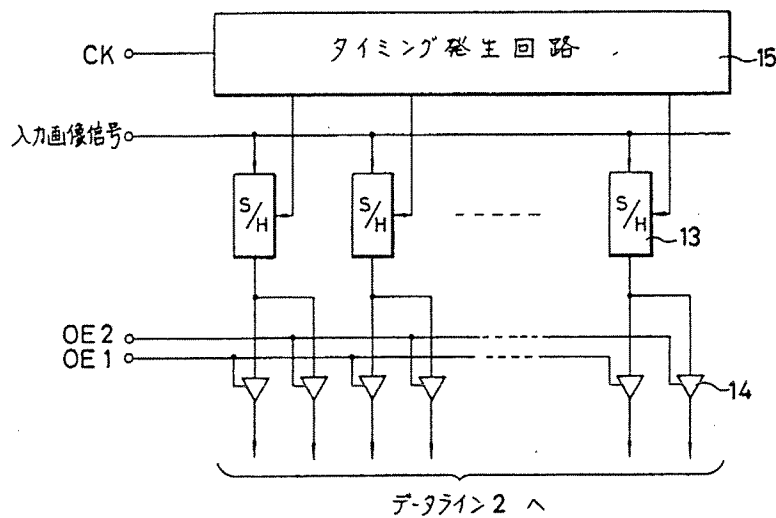


(a)

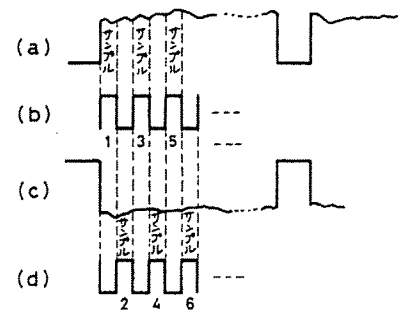


(b)

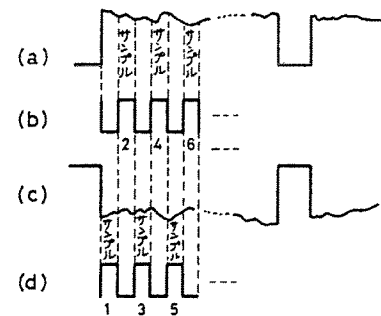
第 1 図



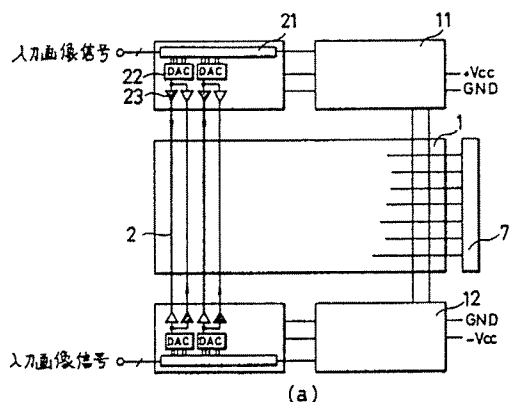
第 2 図



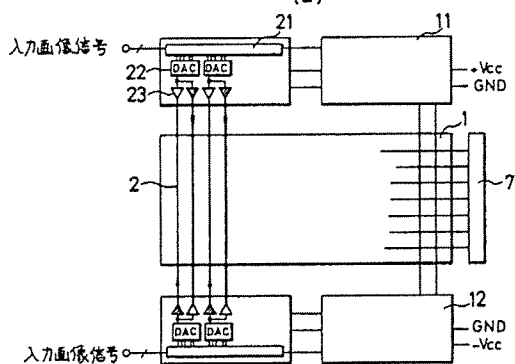
第 3 図



第 4 図

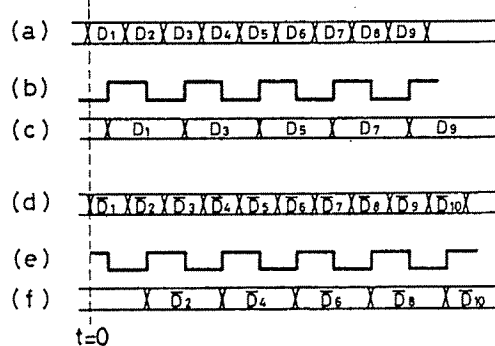


(a)

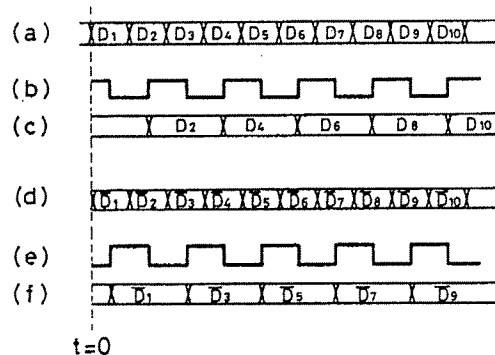


(b)

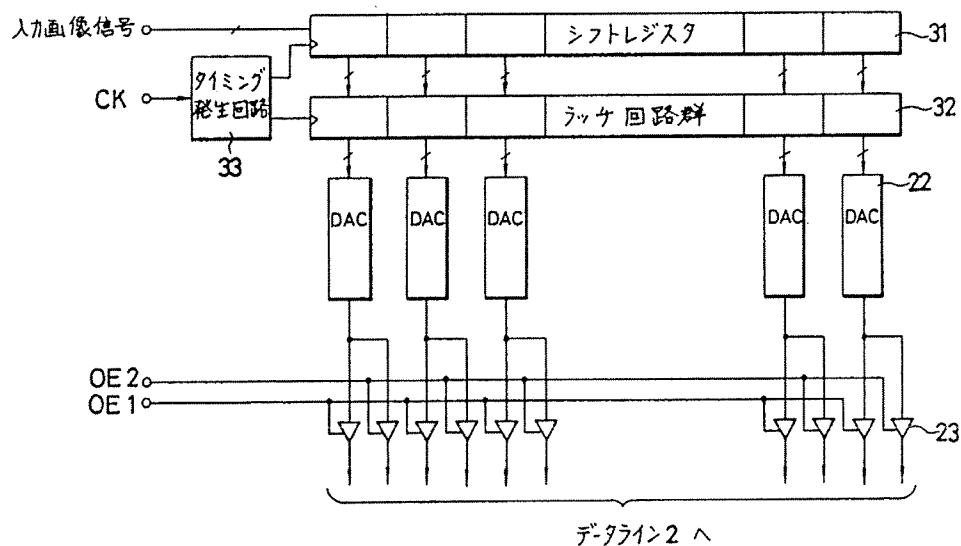
第 5 圖



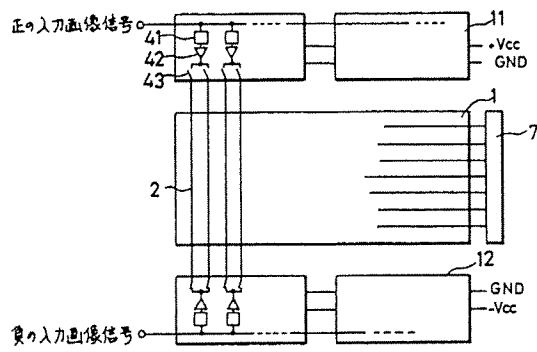
第 7 図



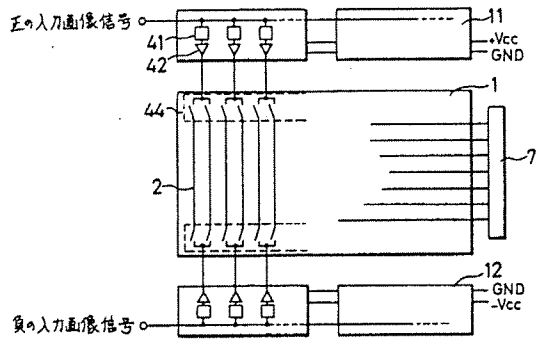
第 8 圖



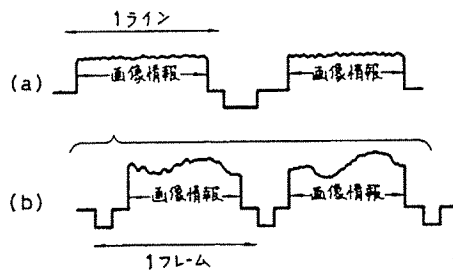
第 6 题



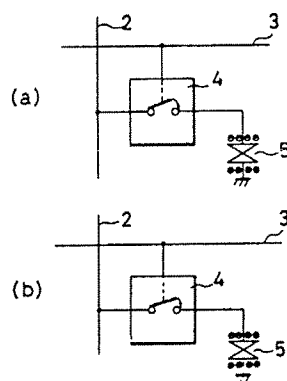
第 9 図



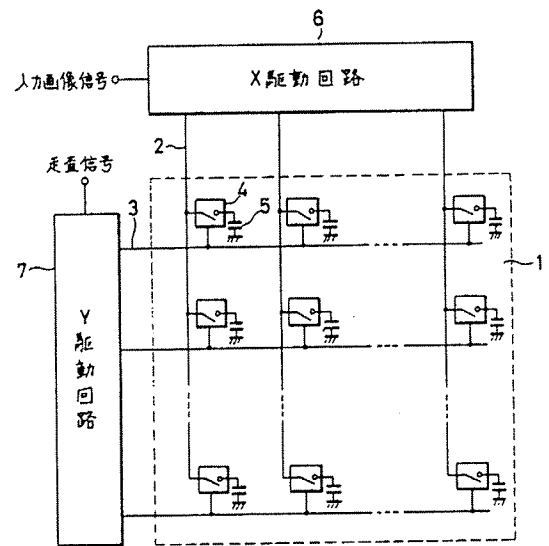
第 10 図



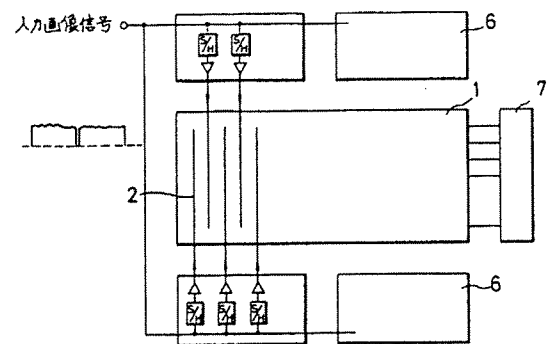
第 12 図



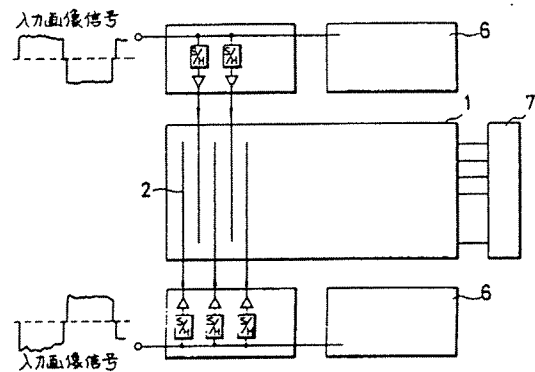
第 13 図



第 11 図



第 14 図



第 15 図

手続補正書(方式)

7. 補正の内容

(1) 明細書第25頁第20行目に「第7」とあるを「第7図」と補正する。

平成元年 11月14 日

特許庁長官 吉田文毅 殿

1. 事件の表示

特願平1-188299号

2. 発明の名称

液晶ディスプレイ装置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東 芝

4. 代理人

東京都千代田区霞が関3丁目7番2号

〒100 電話 03(502)3181(大代表)

(5847) 弁理士 鈴 江 武 彦



5. 補正命令の日付

平成1年10月31日

6. 補正の対象

明細書

